

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

**Applicants:** Noboru Toyozawa et al. **Attorney Docket No.** 075834.00414  
**Serial No.:** Herewith  
**Filed:** Herewith  
**Invention:** "LIQUID CRYSTAL DISPLAY DEVICE, METHOD FOR CONTROLLING THE SAME, AND PORTABLE TERMINAL"

**SUBMISSION OF PRIORITY DOCUMENT**

Mail Stop Patent Application  
Commissioner for Patents  
P. O. Box 1450  
Alexandria, VA 22313-1450

**S I R:**

Applicant hereby submit a certified copy of Japanese Patent Application Number JP2002-203440 filed July 12, 2002 and hereby claims priority in the attached United States patent application under the provisions of 35 USC §119. Applicant request that the claim for priority to this previously filed patent application be made of record in this application.

Date: 7/11/03

Respectfully submitted,

  
(Reg. #37,607)  
Robert J. Depke  
**HOLLAND & KNIGHT LLC**  
131 South Dearborn Street, 30<sup>th</sup> Floor  
Chicago, Illinois 60603  
Tel: (312) 422-9050  
**Attorney for Applicants**

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月12日

出 願 番 号

Application Number:

特願2002-203440

[ST.10/C]:

[JP2002-203440]

出 願 人

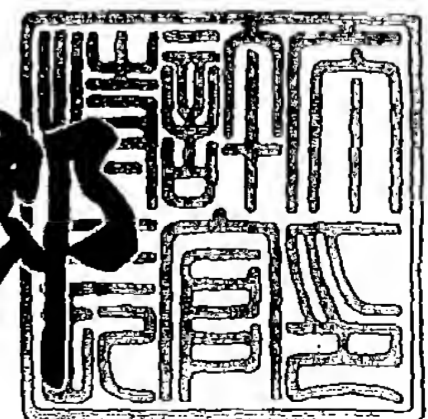
Applicant(s):

ソニー株式会社

2003年 5月23日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3038026

【書類名】 特許願

【整理番号】 0290482806

【提出日】 平成14年 7月12日

【あて先】 特許庁長官 殿

【国際特許分類】 G02F 1/133  
G09G 3/36

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
内

【氏名】 豊澤 昇

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
内

【氏名】 仲島 義晴

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
内

【氏名】 豊島 良彦

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100086298

【弁理士】

【氏名又は名称】 船橋 國則

【電話番号】 046-228-9850

【手数料の表示】

【予納台帳番号】 007364

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904452

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示装置およびその制御方法、ならびに携帯端末

【特許請求の範囲】

【請求項 1】 能動素子を含む画素が行列状に配置され、これら画素に対して列単位で信号線が配線されてなる画素部と、

電源断時に前記画素部の全画素について前記能動素子をアクティブにする第 1 の制御手段と、

電源断時に前記信号線の全てを前記画素の対向電極電位と同電位にする第 2 の制御手段と

を備えたことを特徴とする液晶表示装置。

【請求項 2】 前記第 1 の制御手段は、通常表示時には前記能動素子を行単位で順次アクティブにし、電源断時には前記能動素子を全画素について一斉にアクティブにする垂直走査系である

ことを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】 前記第 2 の制御手段は、通常表示時には前記垂直走査系によって選択された行の画素に表示信号を供給し、電源断時には前記信号線の全てに前記画素の対向電極電位と同じ電位を与える水平走査系である

ことを特徴とする請求項 2 記載の液晶表示装置。

【請求項 4】 前記第 2 の制御手段は、通常表示時には前記垂直走査系によって選択された行の画素に前記水平走査系から表示信号が供給されるのに先立ってプリチャージ信号を供給し、電源断時には前記信号線の全てに前記画素の対向電極電位と同じ電位を与えるプリチャージ走査系である

ことを特徴とする請求項 3 記載の液晶表示装置。

【請求項 5】 能動素子を含む画素が行列状に配置され、これら画素に対して列単位で信号線が配線されてなる画素部を有する液晶表示装置であって、

電源断時に先ず前記画素部の各画素を行単位で順に選択しつつ全画素に白レベルまたは黒レベルを書き込む第 1 の電源断モードと、

電源断時に前記画素部の全画素について前記能動素子をアクティブにするとともに、前記信号線の全てを前記画素の対向電極電位と同電位にする第 2 の電源断

モードと、

電源断の形態に応じて前記第 1 の電源断モードおよび前記第 2 の電源断モードの一方を選択する選択手段と

を備えたことを特徴とする液晶表示装置。

【請求項 6】 前記選択手段は、電源 OFF ボタンの操作に起因する電源断時には前記第 1 の電源断モードを選択し、バッテリー電源が取り外されたことに起因する電源断時には前記第 2 の電源断モードを選択する

ことを特徴とする請求項 5 記載の液晶表示装置。

【請求項 7】 能動素子を含む画素が行列状に配置され、これら画素に対して列単位で信号線が配線されてなる液晶表示装置において、

電源断時に前記画素部の全画素について前記能動素子をアクティブにするとともに、前記信号線の全てを前記画素の対向電極電位と同じ電位にする

ことを特徴とする液晶表示装置の制御方法。

【請求項 8】 能動素子を含む画素が行列状に配置され、これら画素に対して列単位で信号線が配線されてなる液晶表示装置において、

電源 OFF ボタンの操作に起因する電源断時には先ず前記画素部の各画素を行単位で順に選択しつつ全画素に白レベルまたは黒レベルを書き込み、

バッテリー電源が取り外されたことに起因する電源断時には前記画素部の全画素について前記能動素子をアクティブにするとともに、前記信号線の全てを前記画素の対向電極電位と同電位にする

ことを特徴とする液晶表示装置の制御方法。

【請求項 9】 能動素子を含む画素が行列状に配置され、これら画素に対して列単位で信号線が配線されてなる画素部と、

電源断時に前記画素部の全画素について前記能動素子をアクティブにする第 1 の制御手段と、

電源断時に前記信号線の全てを前記画素の対向電極電位と同電位にする第 2 の制御手段とを備えた液晶表示装置を画面表示部として搭載した

ことを特徴とする携帯端末。

【請求項 10】 能動素子を含む画素が行列状に配置され、これら画素に対

して列単位で信号線が配線されてなる画素部を有する液晶表示装置であって、

電源断時に先ず前記画素部の各画素を行単位で順に選択しつつ全画素に白レベルまたは黒レベルを書き込む第 1 の電源断モードと、

電源断時に前記画素部の全画素について前記能動素子をアクティブにするとともに、前記信号線の全てを前記画素の対向電極電位と同電位にする第 2 の電源断モードと、

電源断の形態に応じて前記第 1 の電源断モードおよび前記第 2 の電源断モードの一方を選択する選択手段とを備えた液晶表示装置を画面表示部として搭載したことを特徴とする携帯端末。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、液晶表示装置およびその制御方法、ならびに携帯端末に関し、特に画素ごとに能動素子を設けてなるアクティブマトリクス型液晶表示装置およびその電源断時の制御方法、ならびに当該液晶表示装置を画面表示部として搭載した携帯端末に関する。

##### 【0002】

#### 【従来の技術】

液晶表示装置においては、電源断（電源オフ）時に、画素内の残留電荷に起因して残像が生じ、画面の乱れが発生することがある。従来、この電源断時の画面の乱れを防止するための対応策の一つとして、ユーザによる電源 ON / OFF ボタンの操作によって発生する電源 OFF 指令に応答して先ず、ノーマリホワイトモードの液晶表示装置では白データを、ノーマリブラックモードの液晶表示装置では黒データを全画素に書き込んで白表示または黒表示を行うことによって画面の乱れをなくし、しかる後に電源供給ラインに挿入された電源スイッチをオフすることによって液晶パネルへの電源供給を遮断する方法が採られていた。

##### 【0003】

#### 【発明が解決しようとする課題】

しかしながら、この対応策の場合には、白データあるいは黒データの書き込み

が、通常の表示データの書き込みと同様にスキャン動作によって行単位で順次行われ、白データあるいは黒データを1画面分書き込むのに最低1フィールド期間の時間を要するため、瞬間的な出来事である突発的な電源断には対応できないという課題がある。ここで、突発的な電源断としては、例えば、画面表示部として液晶表示装置を搭載した携帯電話機などの携帯端末において、ユーザが誤って、あるいは故意にバッテリー電源を取り外したようなケースが挙げられる。

## 【 0 0 0 4 】

本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、突発的な電源断が発生した場合であっても、画素内の残留電荷に起因する残像をなくし、電源断時の画面の乱れを確実に防止することが可能な液晶表示装置およびその制御方法、ならびに当該液晶表示装置を画面表示部として搭載した携帯端末を提供することにある。

## 【 0 0 0 5 】

## 【課題を解決するための手段】

本発明による液晶表示装置は、能動素子を含む画素が行列状に配置され、これら画素に対して列単位で信号線が配線されてなる画素部と、電源断時に画素部の全画素について能動素子をアクティブにする第1の制御手段と、電源断時に信号線の全てを前記画素の対向電極電位と同電位にする第2の制御手段とを備えた構成となっている。この液晶表示装置は、携帯電話機やPDA (Personal Digital Assistants) に代表される携帯端末において、その画面表示部として搭載されて用いられる。

## 【 0 0 0 6 】

上記構成の液晶表示装置またはこれを画面表示部として搭載した携帯端末において、電源断時に画素部の全画素について能動素子をアクティブにし、同時に信号線の全てを画素の対向電極電位と同電位にすることで、全画素について画素電極→能動素子→信号線→対向電極の放電経路が瞬時に形成される。これにより、この放電経路によって全画素の残留電荷が瞬時にディスチャージされる。その結果、突発的な電源断が発生した場合であっても、画素内の残留電荷に起因する残像がなくなるため、電源断時の画面の乱れを確実に防止できる。

【 0 0 0 7 】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【 0 0 0 8 】

[第 1 実施形態]

図 1 は、本発明の第 1 実施形態に係る液晶表示装置の構成例を示すブロック図である。本実施形態に係る液晶表示装置は、動作電源としてバッテリー電源を用いることを前提としている。

【 0 0 0 9 】

図 1 において、透明絶縁基板、例えばガラス基板 1 1 上には、能動素子を含む画素がマトリクス状に配置されてアクティブマトリクス型の画素部（表示部） 1 2 を構成している。ガラス基板 1 1 は、もう一枚のガラス基板と所定の間隙を持って対向配置され、両基板間に液晶材料を封止することで液晶表示パネル（LCD パネル）を構成している。

【 0 0 1 0 】

画素部 1 2 における各画素の構成の一例を図 2 に示す。マトリクス状に配置された画素 2 0 の各々は、能動素子である画素トランジスタ、例えば T F T (Thin Film Transistor; 薄膜トランジスタ) 2 1 と、この T F T 2 1 のドレイン電極に画素電極が接続された液晶セル 2 2 と、T F T 2 1 のドレイン電極に一方の電極が接続された保持容量 2 3 とを有する構成となっている。ここで、液晶セル 2 2 は、画素電極とこれに対向して形成される対向電極との間で発生する液晶容量を意味する。

【 0 0 1 1 】

この画素構造において、T F T 2 1 はゲート電極がゲート線（走査線） 2 4 に接続され、ソース電極がデータ線（信号線） 2 5 に接続されている。液晶セル 2 2 は対向電極が V C O M 線 2 6 に対して各画素共通に接続されている。そして、液晶セル 2 2 の対向電極には、V C O M 線 2 6 を介してコモン電圧 V C O M (V C O M 電位) が各画素共通に与えられる。保持容量 2 3 は他方の電極（対向電極側の端子）が C S 線 2 7 に対して各画素共通に接続されている。

## 【 0 0 1 2 】

再び図 1 において、画素部 1 2 と同じガラス基板 1 1 上には、例えば、画素部 1 2 の左側に垂直 (V) ドライバ 1 3 が、画素部 1 2 の上側に水平 (H) ドライバ 1 4 がそれぞれ搭載されている。これらの回路は、画素部 1 2 の画素トランジスタと共に、低温ポリシリコンあるいは CG (Continuous Grain; 連続粒界結晶) シリコンを用いて作製される。

## 【 0 0 1 3 】

ガラス基板 1 1 外にはバッテリー端子 1 5 が設けられており、このバッテリー端子 1 5 にはバッテリー電源 1 6 が接続されている。このバッテリー電源 1 6 からの外部電源電圧 VCC は、電源供給ラインに挿入された電源スイッチ 1 7 を通してガラス基板 1 1 内に供給され、DC-DC コンバータ (図示せず) によって内部電源電圧 VDD に昇圧されて各回路に回路動作電源として与えられる。電源スイッチ 1 7 は、電源 ON/OFF ボタン (図示せず) をユーザが操作したときに発せられる電源 ON/OFF 指令信号に応答してオン (閉) / オフ (開) 動作を行う。電源スイッチ 1 7 の出力側には電源断検出回路 1 8 が接続されている。

## 【 0 0 1 4 】

電源断検出回路 1 8 は、バッテリー電源 1 6 から電源スイッチ 1 7 を通して供給されるパネル外部の電源電圧 (以下、外部電源電圧と記す) の電圧レベルを監視することで、電源スイッチ 1 7 のオフや、バッテリー電源 1 6 の取り外しによって電源断になったことを検出する。電源断検出回路 1 8 としては、例えば、外部電源電圧を所定の基準電圧と比較し、当該基準電圧以下になったときに電源断検出信号を出力するコンパレータ構成のものを用いることができる。

## 【 0 0 1 5 】

電源断検出回路 1 8 から出力される電源断検出信号はガラス基板 1 1 に供給され、当該基板内に設けられたレベルシフト回路 1 9 によって外部電源電圧からパネル内部の電源電圧 (以下、内部電源電圧) にレベルシフト (昇圧) され、制御信号 C1 として垂直ドライバ 1 3 および水平ドライバ 1 4 に供給される。なお、内部電源電圧としては、信号処理系の動作電源電圧となる低電圧振幅の電源電圧 VCC と、ドライバ系の動作電源電圧となる高電圧振幅の電源電圧 VDD の 2 種

類が存在する。

【 0 0 1 6 】

上記構成のアクティブマトリクス型液晶表示装置において、垂直ドライバ 1 3 は、通常表示時には、画素部 1 2 に画素配列の列ごとに、垂直方向画素数  $y$  に対応して配線されたゲート線  $2 4 - 1 \sim 2 4 - y$  を順次選択し、画素トランジスタである T F T 2 1 を行単位で順次アクティブにすることによって垂直スキャン動作を行う構成となっている。さらに、電源断検出回路 1 8 によって電源断が検出されたときには全画素の T F T 2 1 を一斉にアクティブにする第 1 の制御手段としての機能も併せ持っている。

【 0 0 1 7 】

水平ドライバ 1 4 は、通常表示時には、垂直ドライバ 1 3 によって選択された行の画素に表示信号を供給することによって各画素に対する表示信号の書き込みを行う構成となっている。さらに、電源断検出回路 1 8 によって電源断が検出されたときには、画素部 1 2 に画素配列の行ごとに、水平方向画素数  $x$  に対応して配線されたデータ線（信号線） $2 5 - 1 \sim 2 5 - x$  の全てに画素 2 0 の対向電極電位と同じ電位、例えばグラウンドレベルを与える第 2 の制御手段としての機能も併せ持っている。ただし、本例では、図 2 において、V C O M 線 2 6 および C S 線 2 7 の各電位が電源断時にグラウンドレベルになることを前提としている。

【 0 0 1 8 】

図 3 は、垂直ドライバ 1 3 の構成の一例を示すブロック図である。ここでは、図面の簡略化のために、途中の 3 段  $n - 1$  ,  $n$  ,  $n + 1$  のみの構成を抽出して示している。

【 0 0 1 9 】

図 3 において、 $n - 1$  ,  $n$  ,  $n + 1$  の各段のシフトレジスタ  $3 1 n - 1$  ,  $3 1 n$  ,  $3 1 n + 1$  が縦続接続されている。これらシフトレジスタ  $3 1 n - 1$  ,  $3 1 n$  ,  $3 1 n + 1$  の各出力パルスは、AND ゲート  $3 2 n - 1$  ,  $3 2 n$  ,  $3 2 n + 1$  に各一方の入力として与えられる。AND ゲート  $3 2 n - 1$  ,  $3 2 n$  ,  $3 2 n + 1$  は、次段のシフトレジスタ  $3 2 n$  ,  $3 2 n + 1$  ,  $3 2 n + 2$  の出力パルスを他方の入力としている。AND ゲート  $3 2 n - 1$  ,  $3 2 n$  ,  $3 2 n + 1$  の各出力

パルスは、ANDゲート  $33n-1$ ,  $33n$ ,  $33n+1$  に各一方の入力として与えられる。

#### 【0020】

ANDゲート  $33n-1$ ,  $33n$ ,  $33n+1$  は、行選択を許容するイネーブルパルス ENB を他方の入力としている。ANDゲート  $33n-1$ ,  $33n$ ,  $33n+1$  の各出力パルスは、ORゲート  $34n-1$ ,  $34n$ ,  $34n+1$  に各一方の入力として与えられる。ORゲート  $34n-1$ ,  $34n$ ,  $34n+1$  は、電源断検出回路 18 による電源断検出時の制御信号 C1 を他方の入力としている。ORゲート  $34n-1$ ,  $34n$ ,  $34n+1$  の各出力パルスは、バッファ  $35n-1$ ,  $35n$ ,  $35n+1$  を介して走査パルス（ゲートパルス）としてゲート線  $24n-1$ ,  $24n$ ,  $24n+1$  に与えられる。

#### 【0021】

図4は、水平ドライバ 14 の構成の一例を示すブロック図である。ここでは、図面の簡略化のために、途中の3段  $m-1$ ,  $m$ ,  $m+1$  のみの構成を抽出して示している。

#### 【0022】

図4において、 $m-1$ ,  $m$ ,  $m+1$  の各段のシフトレジスタ  $41m-1$ ,  $41m$ ,  $41m+1$  が縦続接続されている。これらシフトレジスタ  $41m-1$ ,  $41m$ ,  $41m+1$  の各出力パルスは、ANDゲート  $42m-1$ ,  $42m$ ,  $42m+1$  に各一方の入力として与えられる。ANDゲート  $42m-1$ ,  $42m$ ,  $42m+1$  は、次段のシフトレジスタ  $41m$ ,  $41m+1$ ,  $41m+2$  の出力パルス了他方の入力としている。ANDゲート  $42m-1$ ,  $42m$ ,  $42m+1$  の各出力パルスは、ORゲート  $43m-1$ ,  $43m$ ,  $43m+1$  に各一方の入力として与えられる。

#### 【0023】

ORゲート  $43m-1$ ,  $43m$ ,  $43m+1$  は、電源断検出回路 18 による電源断検出時の制御信号 C1 を他方の入力としている。ORゲート  $43m-1$ ,  $43m$ ,  $43m+1$  の各出力パルスは、水平スイッチ  $44m-1$ ,  $44m$ ,  $44m+1$  にその ON/OFF 制御パルスとして与えられる。水平スイッチ  $44m-1$

、 $44m$ 、 $44m+1$ は、アナログ表示信号を伝送する信号入力線 $45$ と画素部 $12$ のデータ線 $25m-1$ 、 $25m$ 、 $25m+1$ の各一端との間に接続され、ORゲート $43m-1$ 、 $43m$ 、 $43m+1$ の各出力パルスが与えられることによって順次オン（閉）し、アナログ表示信号をデータ線 $25m-1$ 、 $25m$ 、 $25m+1$ に供給する。

## 【0024】

次に、上記構成のアクティブマトリクス型液晶表示装置において、通常表示時には、垂直ドライバ $13$ による垂直スキャンによって画素部 $12$ の各画素が行単位で選択され、水平ドライバ $14$ による水平スキャンによって水平スイッチ $44m-1$ 、 $44m$ 、 $44m+1$ が順次オンすることにより、垂直ドライバ $13$ によって選択された行の各画素に対してアナログ表示信号が点順次にて書き込まれることになる。

## 【0025】

垂直ドライバ $13$ および水平ドライバ $14$ は、上述した通常表示時の書き込み制御の他に電源断時の制御も行う。ここでは、突発的な電源断、例えばバッテリー電源 $16$ の取り外しによる電源断が発生したケースを例に挙げて、その際の制御の手順について図5のタイミングチャートを用いて以下に説明する。

## 【0026】

ユーザが例えば誤って、あるいは故意にバッテリー電源 $16$ を取り外した場合、その取り外しの時点 $t11$ から電源電圧 $VDD$ 、 $VCC$ が時間の経過につれて徐々に低下し始める。このとき、これら電源電圧 $VDD$ 、 $VCC$ の基となる外部電源電圧の低下、本例では外部電源電圧に基づく負側電源電圧 $HVSS$ の上昇を電源断検出回路 $18$ が監視し、当該負側電源電圧 $HVSS$ が所定の基準電圧以上になった時点 $t12$ 、即ち外部電源電圧が所定の基準電圧以下になった時点で電源断検出信号を出力し、レベルシフト回路 $19$ を介して制御信号 $C1$ として垂直ドライバ $13$ および水平ドライバ $14$ に与える。

## 【0027】

この制御信号 $C1$ を受けて、垂直ドライバ $13$ は画素部 $12$ の全画素について画素トランジスタである $TFT21$ をアクティブ（オン）にし、同時に水平ドラ

イバ 1 4 は全水平スイッチ 4 4 - 1 ~ 4 4 - x をアクティブ (オン) にする。すなわち、図 3 および図 4 の回路例から明らかなように、制御信号 C 1 は OR ゲート 3 4 n - 1, 3 4 n, 3 4 n + 1 を通過し、バッファ 3 5 n - 1, 3 5 n, 3 5 n + 1 を介してゲート線 2 4 n - 1, 2 4 n, 2 4 n + 1 に同時に与えられ、また OR ゲート 4 3 m - 1, 4 3 m, 4 3 m + 1 を通過して水平スイッチ 4 4 m - 1, 4 4 m, 4 4 m + 1 に同時に与えられる。

## 【 0 0 2 8 】

このとき、VCOM 線 2 6 および CS 線 2 7 の各電位 (対向電極電位) がグラウンドレベルになる前提のもとに、水平ドライバ 1 4 において、信号入力線 4 5 の電位がグラウンドレベルに設定される。その結果、ゲート線 2 4 n - 1, 2 4 n, 2 4 n + 1 の電位もグラウンドレベルになる。すなわち、電源断時には、ゲート線 2 4 n - 1, 2 4 n, 2 4 n + 1 の電位が画素 2 0 の対向電極電位と同じ電位に設定されることになる。

## 【 0 0 2 9 】

これにより、画素部 1 2 の全画素 2 0 について、画素電極 → TFT 2 1 → データ線 2 5 → 水平スイッチ 4 4 → 信号入力線 2 4 → 対向電極の放電経路が形成される。その結果、全画素 2 0 の残留電荷、即ち直前の書き込みデータに基づいて液晶セル 2 2 や保持容量 2 3 に残留している電荷が、当該放電経路によって瞬時にディスチャージされる。制御信号 C 1 のレベルも電源電圧の低下につれて徐々に低下し、所定の電圧まで低下した時点 t 1 3 で、それまで電源電圧の低下につれて徐々にレベルが低下していたパネル内のシステムリセットパルス RST が消滅する。

## 【 0 0 3 0 】

上述したように、画素トランジスタ、例えば TFT 2 1 を能動素子として含む画素 2 0 が行列状に配置されてなるアクティブマトリクス型液晶表示装置において、電源断時に画素部 1 2 の全画素 2 0 について TFT 2 1 を一斉にアクティブにすると同時に、全水平スイッチ 4 4 をアクティブにしてデータ線 2 5 - 1 ~ 2 5 - x の全てに画素 2 0 の対向電極電位と同じ電位を与えることで、全画素 2 0 についての残留電荷の放電経路が形成されるため、当該放電経路を通して全画素

20の残留電荷を瞬時に放電できる。

#### 【0031】

これにより、特に突発的な電源断、具体的にはユーザが誤って、あるいは故意にバッテリー電源16を取り外したことによる電源断が発生した場合であっても、全画素20の残留電荷を瞬時に放電でき、当該残留電荷に起因する残像を無くすることができるために、電源断時の画面の乱れを確実に防止できる。突発的な電源断時のみならず、ユーザが電源ON/OFFボタンを操作した際の電源スイッチ17のオフによる通常の電源断時にも同様の作用効果を得ることができる。

#### 【0032】

なお、本実施形態では、点順次駆動方式の水平ドライバ14に適用した場合を例に挙げて説明したが、これに限定されるものではなく、例えばセクタ駆動方式の水平ドライバにも同様に適用可能である。LCDパネルの外部に設けられたドライバICの出力端とLCDパネル上のデータ線（信号線）とを1対X（Xは正の整数）の対応関係に設定し、ドライバICの1つの出力端に対して割り当てられたX本のデータ線をX時分割にて選択して駆動するという駆動方式である。このセクタ駆動方式を採用することにより、ドライバICの出力数および当該ドライバICとLCDパネルとの間の配線の本数を、データ線の本数の1/Xに削減可能になる。

#### 【0033】

このセクタ駆動方式の水平ドライバに適用した場合の回路例を図6に示す。ここでは、R（赤）G（緑）B（青）に対応した3時分割（ $X=3$ ）の場合を例に挙げてその回路例を示している。RGBの3個のセレクトスイッチ51R, 51G, 51Bを単位として、これらセレクトスイッチ51R, 51G, 51BがRGBの3本の信号入力線51R, 51G, 51Bとデータ線 $25m-1$ ,  $25m$ ,  $25m+1$ との間に接続されている。

#### 【0034】

セレクトスイッチ51R, 51G, 51Bは、通常表示のときに、バッファ53R, 53G, 53BおよびORゲート54R, 54G, 54Bを介して供給されるセレクト信号selR, selG, selBに応答して順にアクティブ（オ

ン) となり、また電源断のときにはORゲート54R, 54G, 54Bを介して供給される制御信号C1に応答して一齐にアクティブとなる。

#### 【0035】

これにより、電源断時は、画素部12の全画素20について、画素電極→TF T21→データ線25→セレクトスイッチ51R, 51G, 51B→信号入力線51R, 51G, 51B→対向電極の放電経路が形成され、全画素20の残留電荷が当該放電経路を通して瞬時にディスチャージされる。すなわち、セクタ駆動方式の水平ドライバの場合にも、点順次駆動方式の水平ドライバの場合と同様の作用効果を得ることができる。

#### 【0036】

##### [第2実施形態]

図7は、本発明の第2実施形態に係る液晶表示装置の構成例を示すブロック図であり、プリチャージ方式のアクティブマトリクス型液晶表示装置に適用した場合を示している。図7中、図1と同等部分には同一符号を付して示している。本実施形態に係る液晶表示装置も、動作電源としてバッテリー電源を用いることを前提としている。

#### 【0037】

本実施形態に係るアクティブマトリクス型液晶表示装置は、第1実施形態に係る構成要素に加えて、水平ドライバ14によるデータ線25-1~25-xへの表示信号の書き込みに先立って、プリチャージ信号Psigを書き込むプリチャージドライバ60を備えた構成となっている。プリチャージ信号Psigの信号レベルとしては、例えば、ノーマリホワイトモードの液晶表示装置ではグレーもしくは黒レベルが用いられる。

#### 【0038】

ここで、プリチャージによる作用効果について説明する。アナログ点順次方式の液晶表示装置において、先ずプリチャージを行わない場合、即ち表示信号の書き込みに先立って、データ線25-1~25-xにあらかじめプリチャージ信号Psigを書き込まない場合を考えると、例えば周知の1H(Hは水平期間)反転駆動を行う場合、データ線25-1~25-xへの信号書き込みによる充放電

電流が大きいと、縦スジなどのノイズとなって表示画面上に現れる。これに対して、グレーもしくは黒レベル（ノーマリホワイトモード）をプリチャージ信号  $P_{sig}$  としてデータ線  $25-1 \sim 25-x$  にあらかじめ書き込むことで、信号書き込みによる充放電電流を抑えることができるためノイズを低減できる。

## 【 0 0 3 9 】

本実施形態に係るアクティブマトリクス型液晶表示装置において、プリチャージドライバ 60 は、電源断検出回路 18 によって電源断が検出されたときには、データ線  $25-1 \sim 25-x$  の全てに画素 20 の対向電極電位と同じ電位、例えばグラウンドレベルを与える第 2 の制御手段としての機能も併せ持っている。ただし、本例では、図 2 において、 $V_{COM}$  線 26 および  $CS$  線 27 の各電位が電源断時にグラウンドレベルになることを前提としている。

## 【 0 0 4 0 】

図 8 は、プリチャージドライバ 60 の構成の一例を示すブロック図である。ここでは、図面の簡略化のために、途中の 3 段  $m-1$ ,  $m$ ,  $m+1$  のみの構成を抽出して示している。

## 【 0 0 4 1 】

図 8 において、 $m-1$ ,  $m$ ,  $m+1$  の各段のシフトレジスタ  $61_{m-1}$ ,  $61_m$ ,  $61_{m+1}$  が縦続接続されている。これらシフトレジスタ  $61_{m-1}$ ,  $61_m$ ,  $61_{m+1}$  の各出力パルスは、AND ゲート  $62_{m-1}$ ,  $62_m$ ,  $62_{m+1}$  に各一方の入力として与えられる。AND ゲート  $62_{m-1}$ ,  $62_m$ ,  $62_{m+1}$  は、次段のシフトレジスタ  $61_m$ ,  $61_{m+1}$ ,  $61_{m+2}$  の出力パルスを他方の入力としている。AND ゲート  $62_{m-1}$ ,  $62_m$ ,  $62_{m+1}$  の各出力パルスは、OR ゲート  $63_{m-1}$ ,  $63_m$ ,  $63_{m+1}$  に各一方の入力として与えられる。

## 【 0 0 4 2 】

OR ゲート  $63_{m-1}$ ,  $63_m$ ,  $63_{m+1}$  は、電源断検出回路 18 による電源断検出時の制御信号  $C_1$  を他方の入力としている。OR ゲート  $63_{m-1}$ ,  $63_m$ ,  $63_{m+1}$  の各出力パルスは、プリチャージスイッチ  $64_{m-1}$ ,  $64_m$ ,  $64_{m+1}$  にその ON/OFF 制御パルスとして与えられる。プリチャージス

スイッチ  $64m-1$ ,  $64m$ ,  $64m+1$  は、プリチャージ信号  $Psig$  を伝送する信号入力線  $65$  と画素部  $12$  のデータ線  $25m-1$ ,  $25m$ ,  $25m+1$  の各一端との間に接続され、ORゲート  $63m-1$ ,  $63m$ ,  $63m+1$  の各出力パルスが与えられることによって順次オン（閉）し、プリチャージ信号  $Psig$  をデータ線  $25m-1$ ,  $25m$ ,  $25m+1$  に供給する。

## 【 0 0 4 3 】

上記構成のプリチャージドライバ  $60$  を備えたアクティブマトリクス型液晶表示装置において、ユーザが例えば誤って、あるいは故意にバッテリー電源  $16$  を取り外すことによって電源断になった場合、その電源断を電源断検出回路  $18$  が検出し、その電源断検出信号をレベルシフト回路  $19$  を介して制御信号  $C1$  として垂直ドライバ  $13$  およびプリチャージドライバ  $60$  に与える。

## 【 0 0 4 4 】

この制御信号  $C1$  を受けて、垂直ドライバ  $13$  は画素部  $12$  の全画素について TFT  $21$  をアクティブにし、同時にプリチャージドライバ  $60$  は全プリチャージスイッチ  $64-1 \sim 64-x$  をアクティブにする。このとき、図 2 に示す VCOM 線  $26$  および CS 線  $27$  の各電位（対向電極電位）がグラウンドレベルになる前提のもとに、プリチャージドライバ  $60$  において、信号入力線  $65$  の電位がグラウンドレベルに設定される。その結果、ゲート線  $24n-1$ ,  $24n$ ,  $24n+1$  の電位もグラウンドレベルになる。

## 【 0 0 4 5 】

すなわち、電源断時には、ゲート線  $24n-1$ ,  $24n$ ,  $24n+1$  の電位が画素  $20$  の対向電極電位と同じ電位に設定されることになる。これにより、画素部  $12$  の全画素  $20$  について、画素電極  $\rightarrow$  TFT  $21 \rightarrow$  データ線  $25 \rightarrow$  プリチャージスイッチ  $64-1 \sim 64-x \rightarrow$  信号入力線  $64 \rightarrow$  対向電極の放電経路が形成される。その結果、全画素  $20$  の残留電荷、即ち直前の書き込みデータに基づいて液晶セル  $22$  や保持容量  $23$  に残留している電荷が、当該放電経路によって瞬時にディスチャージされる。

## 【 0 0 4 6 】

上述したように、プリチャージ方式のアクティブマトリクス型液晶表示装置に

において、電源断時に画素部 1 2 の全画素 2 0 について T F T 2 1 を一斉にアクティブにすると同時に、全プリチャージスイッチ 6 4 - 1 ~ 6 4 - x をアクティブにしてデータ線 2 5 - 1 ~ 2 5 - x の全てに画素 2 0 の対向電極電位と同じ電位を与えることで、全画素 2 0 についての残留電荷の放電経路が形成されるため、当該放電経路を通して全画素 2 0 の残留電荷を瞬時に放電できる。

## 【 0 0 4 7 】

これにより、特に突発的な電源断、具体的にはユーザが誤って、あるいは故意にバッテリー電源 1 6 を取り外したことによる電源断が発生した場合であっても、全画素 2 0 の残留電荷を瞬時に放電でき、当該残留電荷に起因する残像を無くすることができるために、電源断時の残像による画面の乱れを確実に防止することができる。突発的な電源断時のみならず、ユーザが電源 O N / O F F ボタンを操作した際の電源スイッチ 1 7 のオフによる通常の電源断時にも同様の作用効果を得ることができる。

## 【 0 0 4 8 】

なお、本実施形態では、電源断時にデータ線 2 5 - 1 ~ 2 5 - x の全てに画素 2 0 の対向電極電位と同じ電位を与える手段として、第 1 実施形態での水平スイッチに代えてプリチャージスイッチを用いるとしたが、水平ドライバ 1 4 の未実装状態でパネル表示テストを行えるように、そのテスト時に外部からテスト用信号を取り込んでデータ線 2 5 - 1 ~ 2 5 - x に供給するテスト用スイッチをデータ線ごとに有する構成の液晶表示装置の場合には、このテスト用スイッチを用いることも可能である。

## 【 0 0 4 9 】

## 〔第 3 実施形態〕

図 9 は、本発明の第 3 実施形態に係る液晶表示装置の構成例を示すブロック図であり、図中、図 1 と同等部分には同一符号を付して示している。本実施形態に係る液晶表示装置も、動作電源としてバッテリー電源を用いることを前提としている。

## 【 0 0 5 0 】

本実施形態に係る液晶表示装置は、電源断時に先ず画素部 1 2 の各画素を行単

位で順に選択しつつ全画素にノーマリホワイトモードの場合には白レベルを、ノーマリブラックモードの場合には黒レベルを書き込む第1の電源断モードと、電源断時に画素部12の全画素について画素の能動素子をアクティブにするとともに、データ線の全てを画素の対向電極電位と同電位にする第2の電源断モードとを持ち、電源断の形態に応じて第1、第2の電源断モードのいずれか一方を選択する構成を採っている。

## 【0051】

ここで、電源断の形態とは、ユーザが電源ON/OFFボタンを操作した際の電源スイッチ17のオフによる通常の電源断と、例えばユーザが誤って、あるいは故意にバッテリー電源を取り外したことによる突発的な電源断とを言うものとする。そして、前者の電源断の場合には第1の電源断モードを選択し、後者の電源断の場合には第2の電源断モードを選択するようにする。

## 【0052】

以下に、その構成および動作について説明する。本実施形態に係るアクティブマトリクス型液晶表示装置は、第1実施形態に係る構成要素に加えて、スイッチ制御回路70を備えている。このスイッチ制御回路70には、ユーザが電源ON/OFFボタン（図示せず）を操作したときに発せられる電源ON/OFF指令信号が入力される。この電源ON/OFF指令信号を受けて、スイッチ制御回路70は電源スイッチ17をオン/オフ制御する。

## 【0053】

スイッチ制御回路70はさらに、電源断モードを選択するための選択手段としての機能も併せ持っている。すなわち、スイッチ制御回路70は、電源OFF指令信号を受けたときには、電源断検出回路18を非アクティブ状態にするとともに、第1の電源断モードの選択を指示する第1モード指定信号を出力し、さらに一定時間経過後に電源スイッチ17をオフする。スイッチ制御回路70から出力される第1モード指定信号は、レベルシフト回路19でレベルシフトされて制御信号C2として垂直ドライバ13および水平ドライバ14に供給される。

## 【0054】

一方、電源断検出回路18は、スイッチ制御回路70による第1の電源断モー

ドの選択時には非アクティブとなって電源断の検出動作を行わず、それ以外  
 のとき、即ち突発的な電源断のときに検出動作を行い、電源断を検出した際に電源断  
 検出信号を出力する。この電源断検出信号は、第2の電源断モードの選択を指示  
 する第2モード指定信号となる。スイッチ制御回路70から出力される第2モー  
 ド指定信号は、第1実施形態の場合と同様に、レベルシフト回路19でレベルシ  
 フトされて制御信号C1として垂直ドライバ13および水平ドライバ14に供給  
 される。

## 【0055】

第1の電源断モードが指定されたときには、垂直ドライバ13および水平ドラ  
 イバ14は、通常の表示動作を最低1フィールド期間に亘って行う。ただし、こ  
 のとき書き込まれる表示信号は、ノーマリホワイトモードの場合には白信号、ノ  
 ーマリブラックモードの場合には黒信号となる。具体的には、第1の電源断モー  
 ドでは、垂直ドライバ13は、制御信号C2をシフトレジスタのスタート信号と  
 して垂直走査を開始し、その垂直走査を最低1フィールド期間に亘って行う。ま  
 た、水平ドライバ14は、制御信号C2をシフトレジスタのスタート信号として  
 水平走査を開始し、垂直ドライバ13によって順に選択される行の各画素に対し  
 て白信号または黒信号を点順次にて書き込む動作を行う。

## 【0056】

すなわち、第1の電源断モードでは、図10のタイミングチャートに示すよう  
 に、ユーザによる電源ON/OFFボタンの操作によって電源OFF指令信号が  
 発生した時点t21で、スイッチ制御回路70から出力される第1モード指定信  
 号に基づく制御信号C2による制御のもとにノーマリホワイトモードの場合には  
 白表示を、ノーマリブラックモードの場合には黒表示を行うことによって画面の  
 乱れをなくし、一定時間が経過した時点t22でスイッチ制御回路70が電源ス  
 イッチ17をオフすることによってLCDパネルへの電源供給を遮断する一連の  
 電源断処理が行われる。ここで、一定時間としては、白表示または黒表示を行う  
 のに最低1フィールド期間の時間を要することから、1フィールド期間以上の時  
 間を設定する必要がある。

## 【0057】

一方、第2の電源断モードが指定されたときには、垂直ドライバ13および水平ドライバ14は、第1実施形態の場合と同様の処理が行われる。すなわち、制御信号C1を受けて、垂直ドライバ13は画素部12の全画素について画素トランジスタであるTFT21をアクティブにし、同時に水平ドライバ14は全水平スイッチ44-1~44-xをアクティブにする。このとき、図2に示すVCOM線26およびCS線27の各電位（対向電極電位）がグラウンドレベルになる前提のもとに、水平ドライバ14において、信号入力線45の電位がグラウンドレベルに設定される。その結果、ゲート線24n-1, 24n, 24n+1の電位もグラウンドレベルになる。

## 【0058】

すなわち、電源断時には、ゲート線24n-1, 24n, 24n+1の電位が画素20の対向電極電位と同じ電位に設定されることになる。これにより、画素部12の全画素20について、画素電極→TFT21→データ線25→水平スイッチ44→信号入力線24→対向電極の放電経路が形成される。その結果、全画素20の残留電荷、即ち直前の書き込みデータに基づいて液晶セル22や保持容量23に残留している電荷が、当該放電経路によって瞬時にディスチャージされるため、画素の残留電荷に起因する画面の乱れを未然に防止できる。

## 【0059】

ここで、第1の電源断モードは、通常のスキャン動作を行うため液晶表示装置に大きな電流が流れることはないものの、スキャン動作に最低1フィールド期間の時間を要することになる。一方、第2の電源断モードは、残留電荷のディスチャージ期間が非常に短いものの、全画素の残留電荷を瞬間的に放電するため液晶表示装置には大きな瞬間電流が流れることになる。

## 【0060】

上述したように、第3実施形態に係るアクティブマトリクス型液晶表示装置では、電源断時に先ず画素部12の各画素を行単位で順に選択しつつ全画素にノーマリホワイトモードの場合には白レベルを、ノーマリブラックモードの場合には黒レベルを書き込む第1の電源断モードと、電源断時に画素部12の全画素について画素の能動素子をアクティブにするとともに、データ線の全てを画素の対向

電極電位と同電位にする第2の電源断モードとを持つことで、この2つのモードを電源断の形態に応じて使い分けることができる。

#### 【0061】

すなわち、ユーザが電源ON/OFFボタンを操作した際の電源スイッチ17のオフによる通常の電源断時には第1の電源断モードを選択し、電源断時に先ず白表示または黒表示を行い、しかる後LCDパネルへの電源供給を遮断するようにすることで、画素の残留電荷に起因する残像による画面の乱れを低消費電力にて確実に防止することができる。

#### 【0062】

また、例えばユーザが誤って、あるいは故意にバッテリー電源を取り外したことによる突発的な電源断が発生したときには第2の電源断モードを選択し、電源断時に全画素についての残留電荷の放電経路を形成することで、この放電経路を通して画素の残留電荷を瞬時にディスチャージできるため、当該残留電荷に起因する残像による画面の乱れを確実に防止することができる。この場合、液晶表示装置には大きな瞬間電流が流れることになるが、突発的な電源断はきわめて稀に発生するものであるため、液晶表示装置の通常の消費電力に大きく悪影響を及ぼすものではない。

#### 【0063】

なお、本実施形態では、電源断時にデータ線25-1～25-xの全てに画素20の対向電極電位と同じ電位を与える手段として、第1実施形態の場合と同様に、水平スイッチを用いる構成の場合を前提として説明したが、第2実施形態の場合のように、プリチャージスイッチを用いる構成の場合にも同様に適用可能である。

#### 【0064】

以上説明した第1～第3実施形態に係る液晶表示装置は、携帯電話機やPDAに代表される携帯端末において、その画面表示部として搭載して用いて好適なものである。

#### 【0065】

図5は、本発明に係る携帯端末装置、例えば携帯電話機の構成の概略を示す外

観図である。

【 0 0 6 6 】

本例に係る携帯電話機は、装置筐体 7 1 の前面側に、スピーカ部 7 2、画面表示部 7 3、操作部 7 4 およびマイク部 7 5 を上部側から順に配置された構成となっている。かかる構成の携帯電話機において、画面表示部 7 3 には液晶表示装置が用いられ、この液晶表示装置として先述した第 1 ～第 3 実施形態に係る液晶表示装置が用いられる。

【 0 0 6 7 】

このように、画面表示部 7 3 を具備する携帯電話機において、その画面表示部 7 3 として先述した第 1 ～第 3 実施形態に係る液晶表示装置を用いて、電源断時に全画素についての残留電荷の放電経路を形成することで、この放電経路を通して画素の残留電荷を瞬時にディスチャージできるため、特にユーザが誤って、あるいは故意にバッテリー電源を取り外したことによる突発的な電源断が発生した場合であっても、当該残留電荷に起因する残像による画面の乱れを確実に防止することができる。

【 0 0 6 8 】

特に、第 3 実施形態に係る液晶表示装置を用いた場合には、2 つの電源断モードを使い分け、通常の電源オフ時には全画素にノーマリホワイトモードの場合には白レベルを、ノーマリブラックモードの場合には黒レベルを書き込む第 1 の電源断モードを選択し、突発的な電源断には全画素についての残留電荷の放電経路を形成し、この放電経路を通して画素の残留電荷を瞬時にディスチャージする第 2 の電源断モードを選択することで、第 1 の電源断モードによる低消費電力化の効果を維持しつつ、突発的な電源断が発生した場合には画素の残留電荷に起因する残像による画面の乱れを確実に防止することができる。

【 0 0 6 9 】

【発明の効果】

以上説明したように、本発明によれば、電源断時に画素部の全画素について能動素子をアクティブにし、同時に信号線の全てを画素の対向電極電位と同電位にすることで、全画素についての残留電荷の放電経路を形成し、この放電経路によ

って全画素の残留電荷を瞬時にディスチャージできるため、突発的な電源断が発生した場合であっても、画素内の残留電荷に起因する残像による画面の乱れを確実に防止することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施形態に係る液晶表示装置の構成例を示すブロック図である。

【図 2】

画素部における各画素の構成の一例を示す回路図である。

【図 3】

垂直ドライバの構成の一例を示すブロック図である。

【図 4】

水平ドライバの構成の一例を示すブロック図である。

【図 5】

第 1 実施形態に係る液晶表示装置の動作説明に供するタイミングチャートである。

【図 6】

水平ドライバの構成の他の例を示すブロック図であり、セレクト駆動方式の場合を示している。

【図 7】

本発明の第 2 実施形態に係る液晶表示装置の構成例を示すブロック図である。

【図 8】

プリチャージドライバの構成の一例を示すブロック図である。

【図 9】

本発明の第 3 実施形態に係る液晶表示装置の構成例を示すブロック図である。

【図 1 0】

第 3 実施形態に係る液晶表示装置における通常の電源断時の動作説明に供するタイミングチャートである。

【図 1 1】

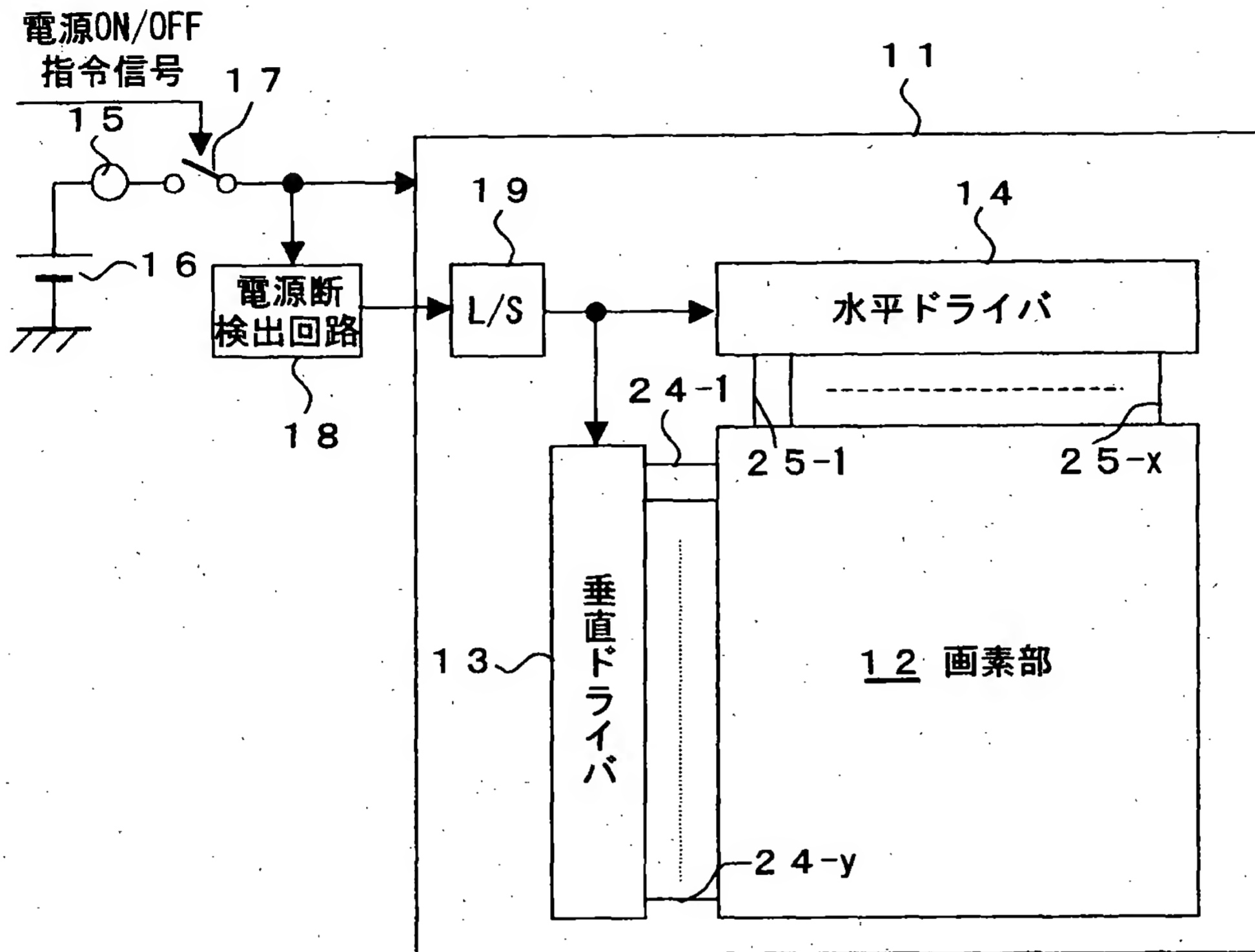
本発明に係る携帯電話機の構成の概略を示す外観図である。

【符号の説明】

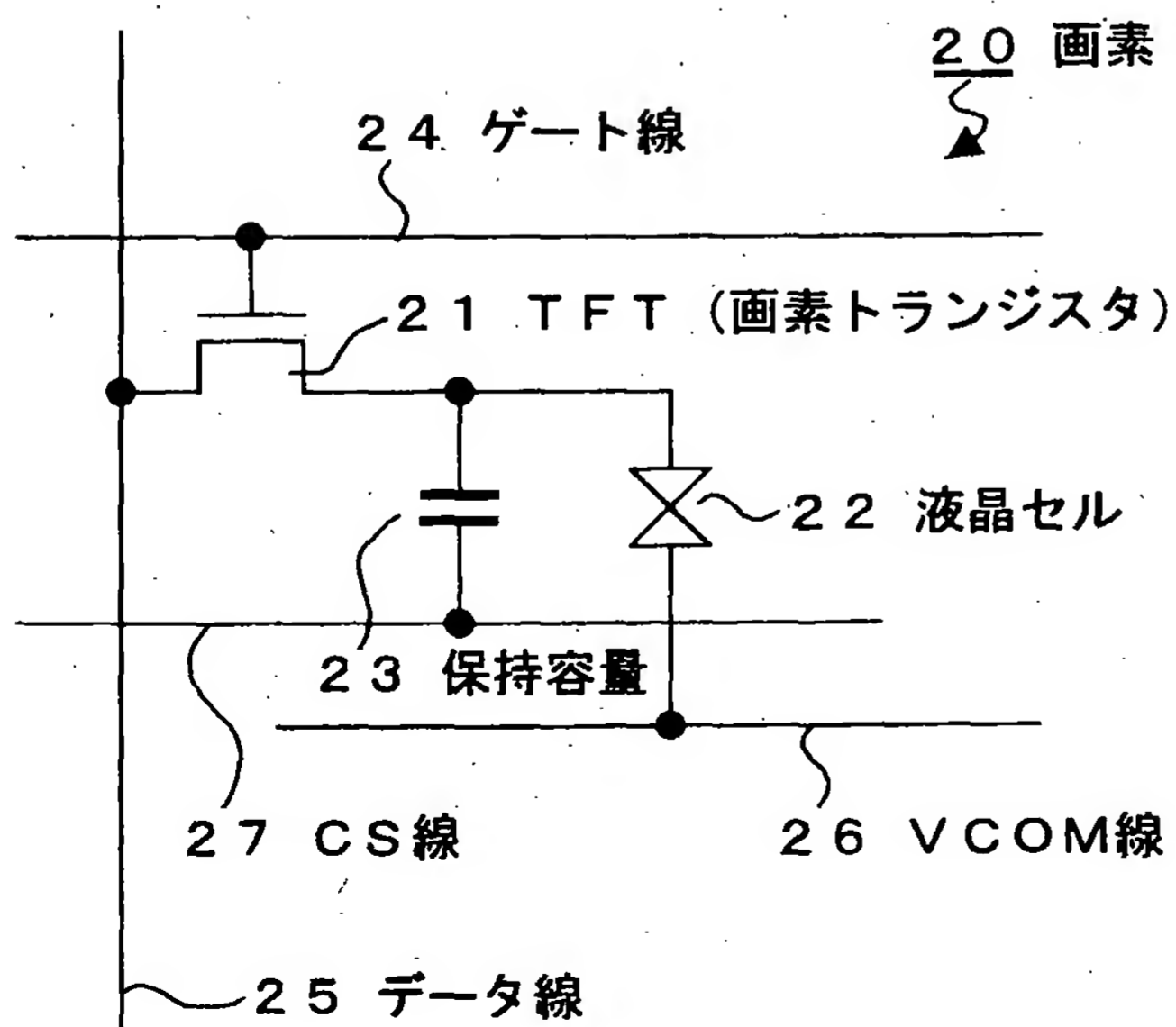
1 1 …ガラス基板、1 2 …画素部（表示部）、1 3 …垂直（V）ドライバ、1 4 …水平（H）ドライバ、1 6 …バッテリー電源、1 7 …電源スイッチ、1 8 …電源断検出回路、2 0 …画素、2 1 …T F T（画素トランジスタ）、2 2 …液晶セル、2 3 …保持容量、6 0 …プリチャージドライバ、7 0 …スイッチ制御回路

【書類名】 図面

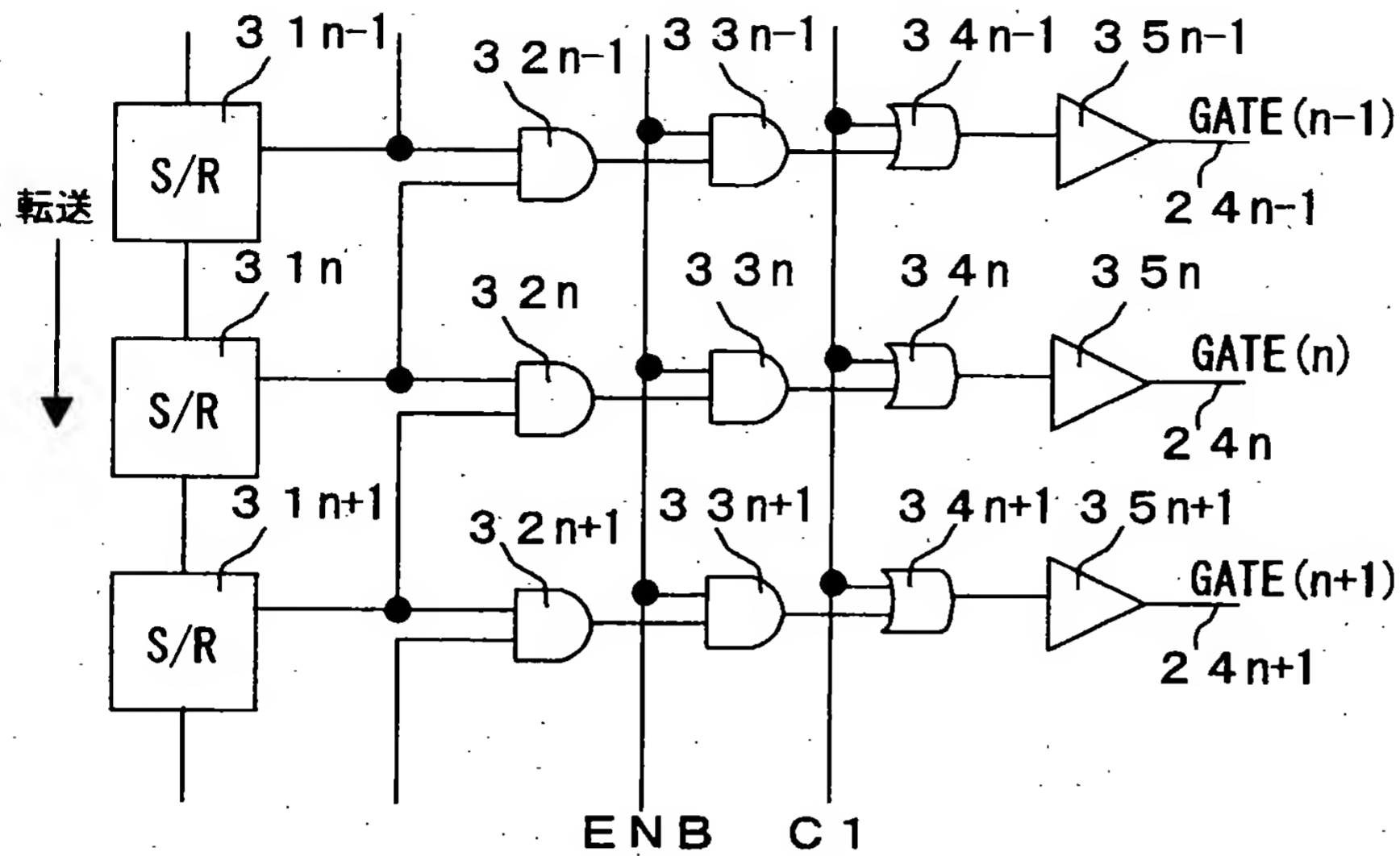
【図1】



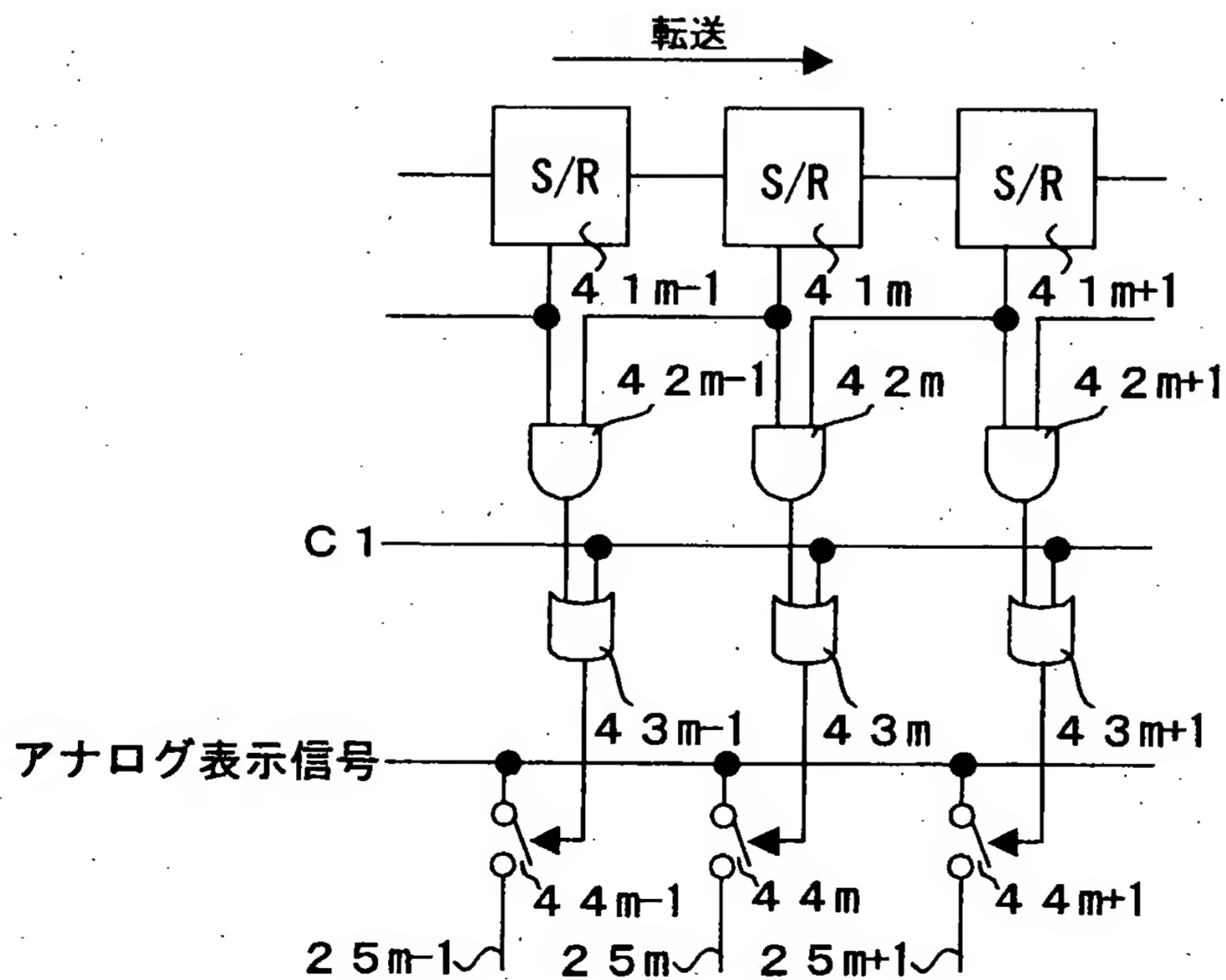
【図2】



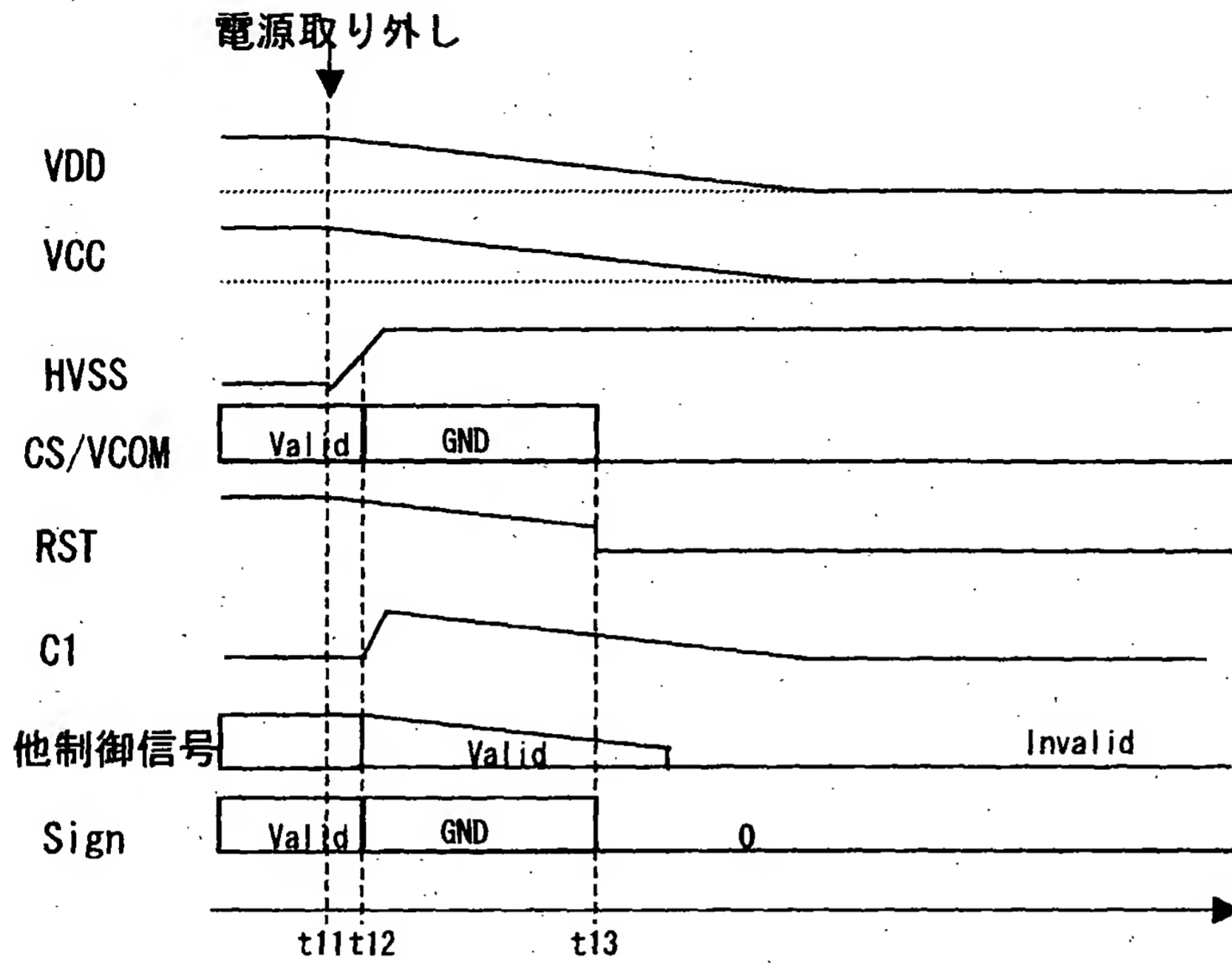
【図 3】



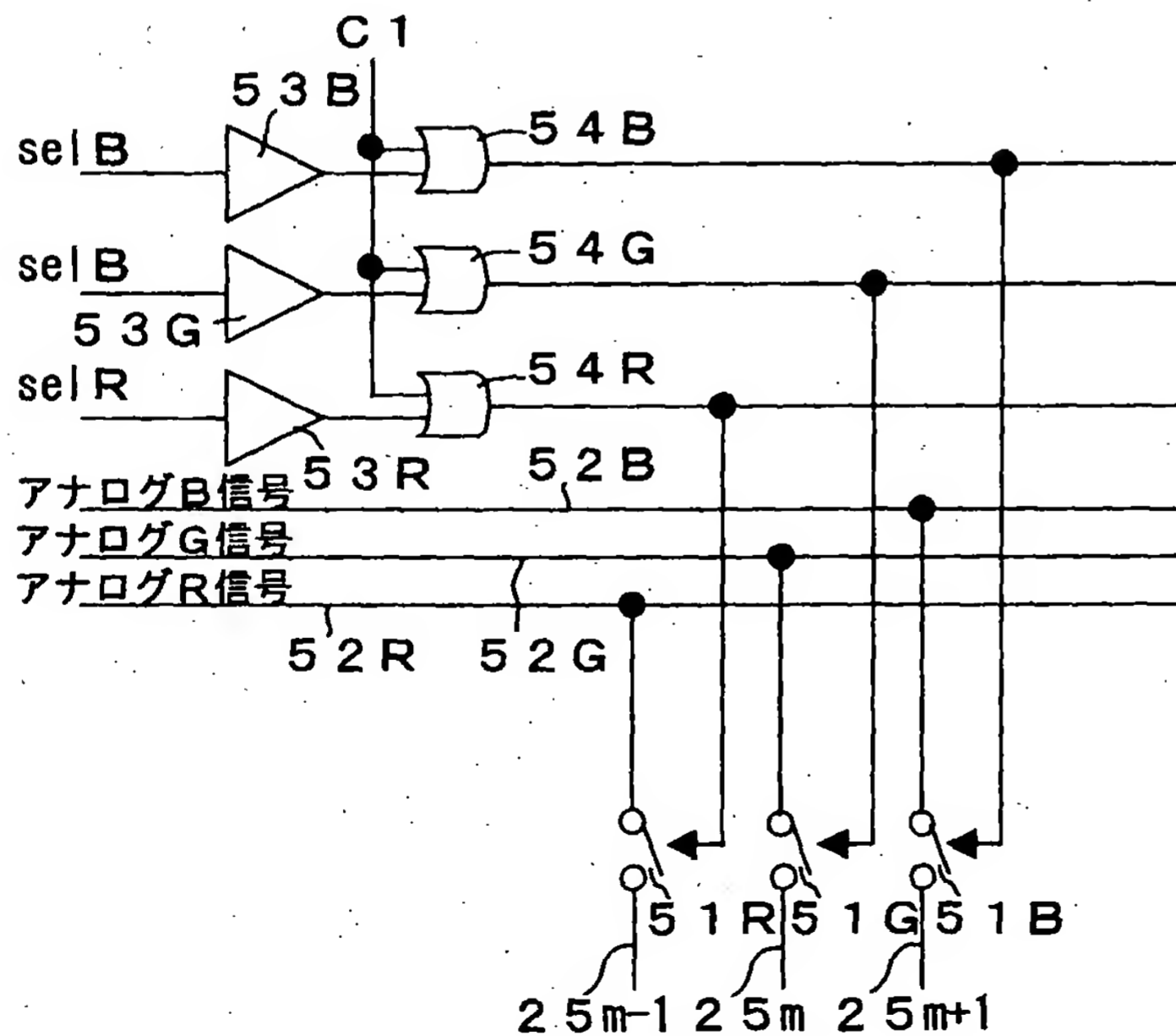
【図 4】



【図5】

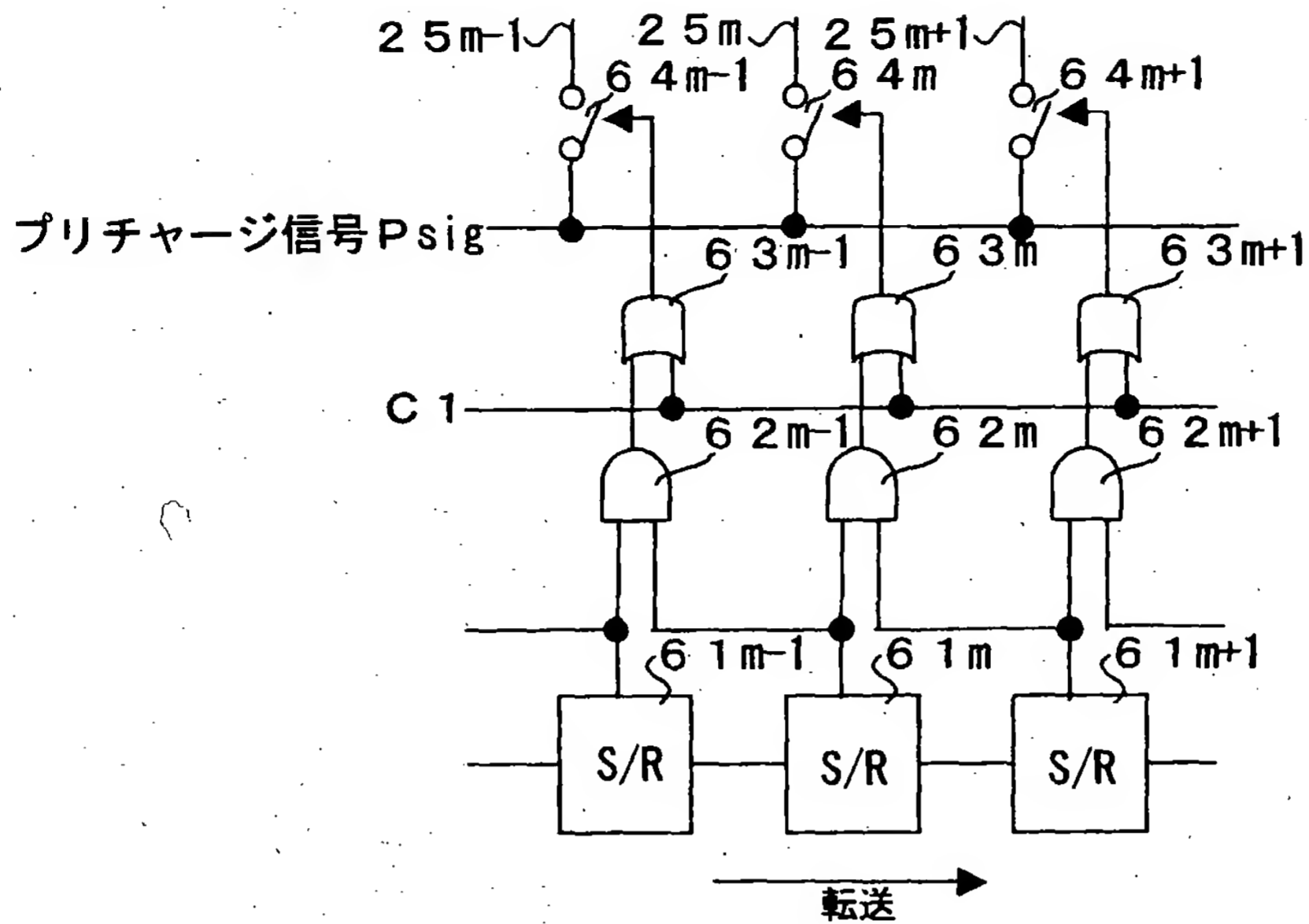


【図6】

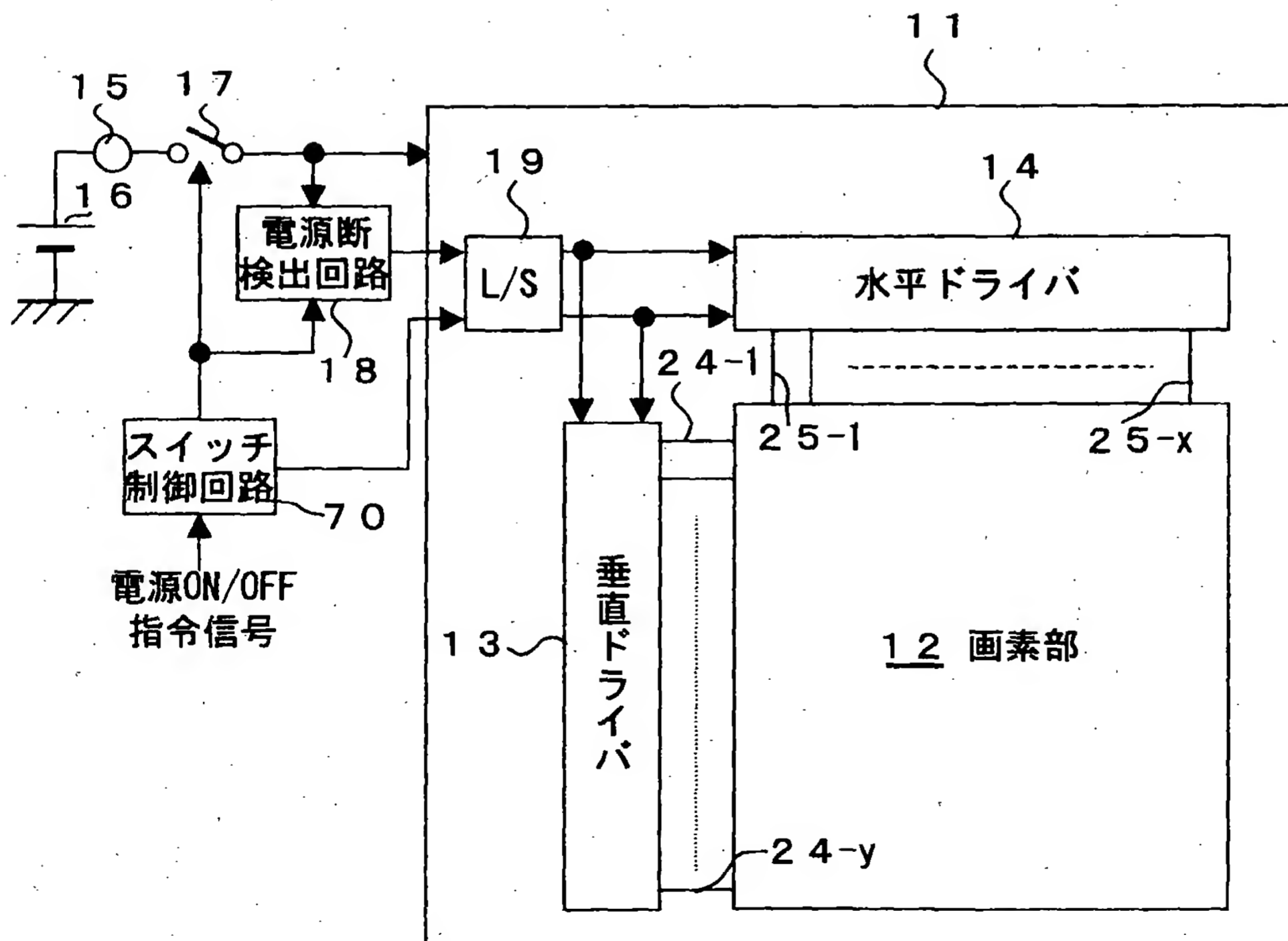




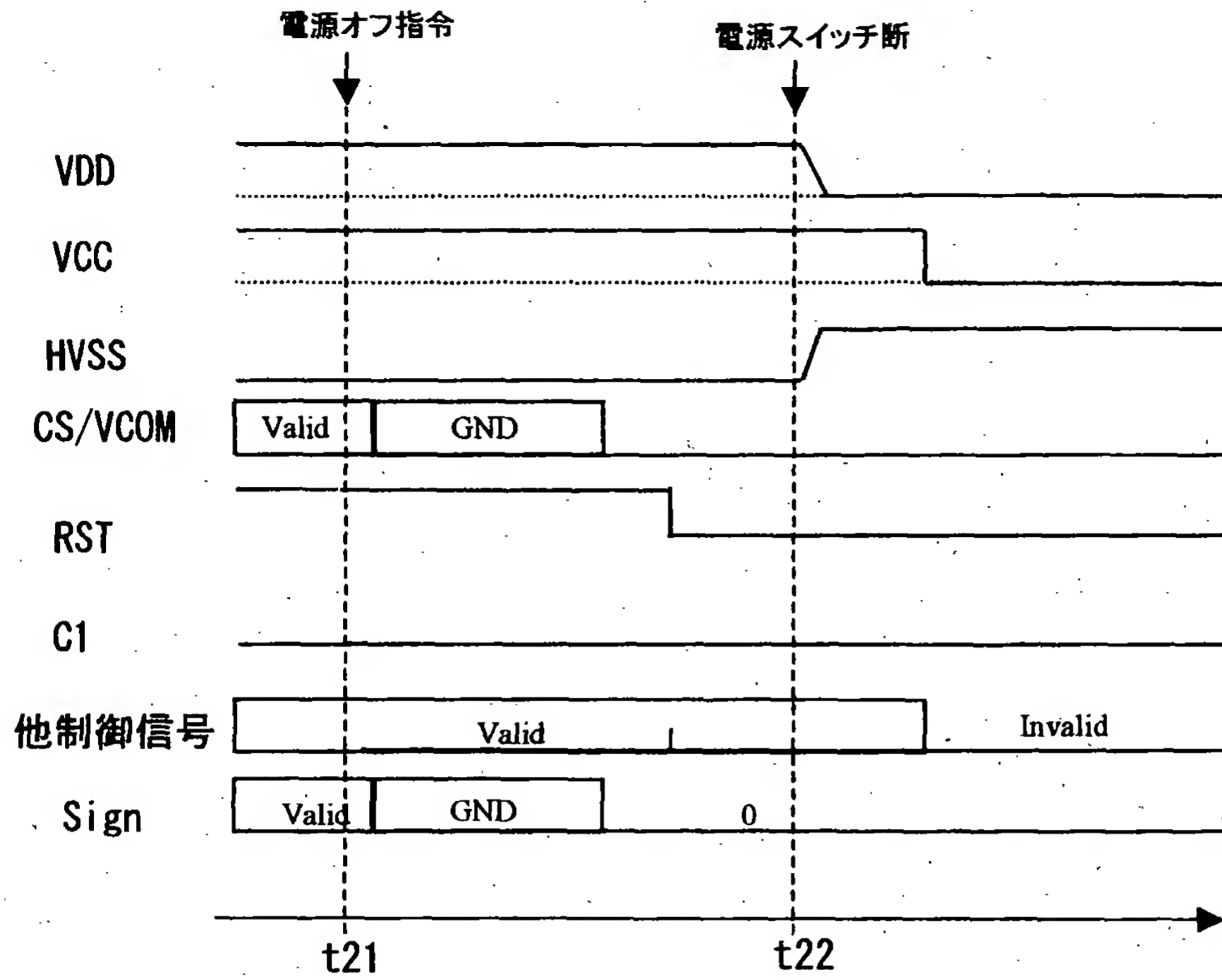
【図8】



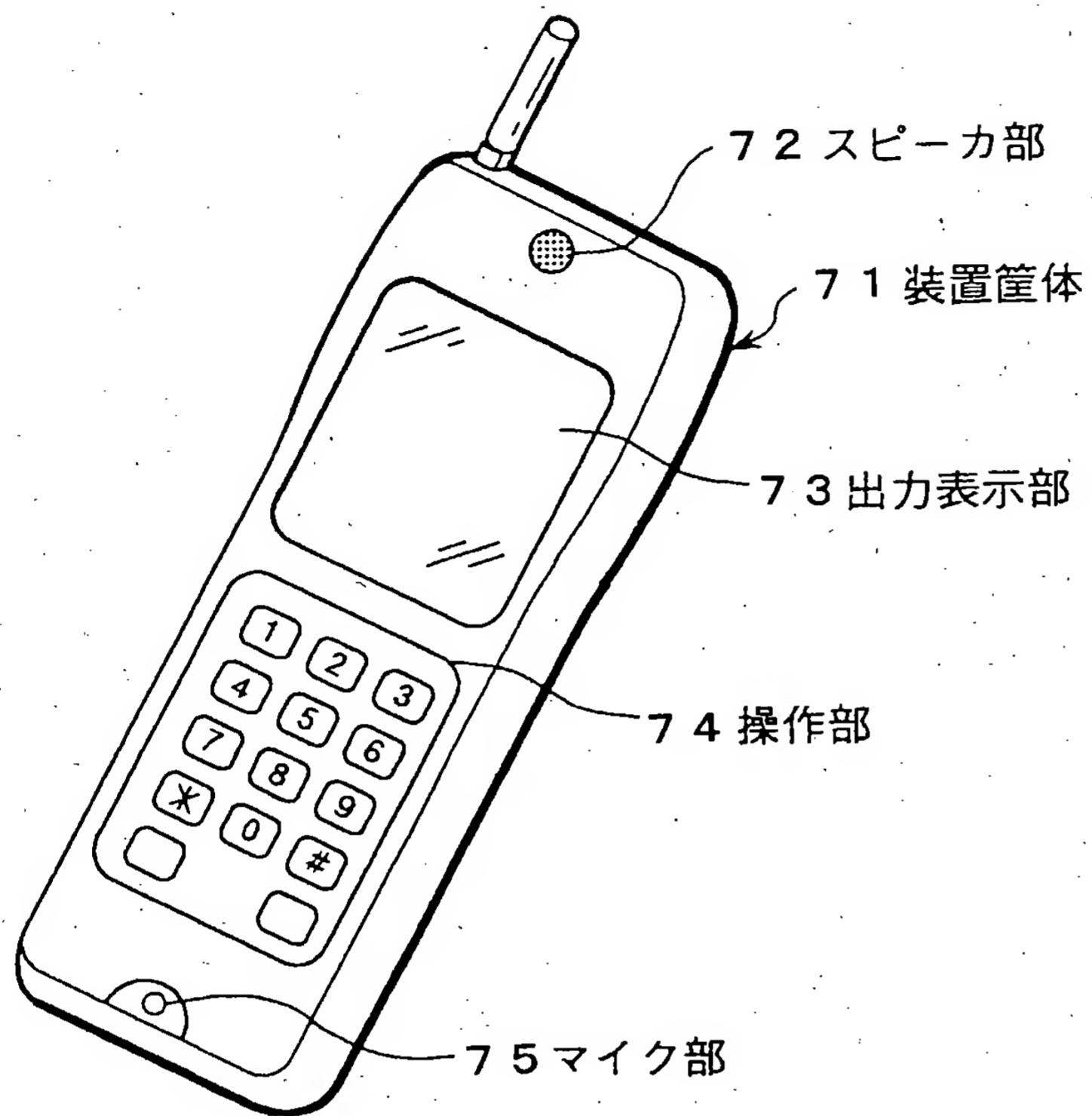
【図9】



【図 1 0】



【図11】



【書類名】 要約書

【要約】

【課題】 電源断時に白表示あるいは黒表示を行って画面の乱れを防止するようにした場合には、白データあるいは黒データを1画面分書き込むのに最低1フィールド期間の時間を要するため突発的な電源断には対応できない。

【解決手段】 画素トランジスタ、例えばTFT21を能動素子として含む画素20が行列状に配置されてなるアクティブマトリクス型液晶表示装置において、電源断時に画素部12の全画素20についてTFT21を一斉にアクティブにすると同時に、全水平スイッチ44をアクティブにしてデータ線25-1～25-xの全てに画素20の対向電極電位と同じ電位を与えることで、全画素20についての残留電荷の放電経路を形成し、当該放電経路を通して全画素20の残留電荷を瞬時に放電できるようにする。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号

氏 名 ソニー株式会社